

3399 平台点屏上电时序报告

文档修改历史

版本	描述	日期	作者
V3.0	创建	2019-01-29	

目录

2. 目的.....	3
3. 工具.....	3
4. 需测量参数与参数说明.....	3
5. 样品屏规格书具体说明.....	6
1. 电气部分.....	6
2. 电源时序部分.....	8
6. 测量数据.....	10
7. 测试报告.....	16

2. 目的

屏时的上电时序与规格书标准上电时序是否一致，便于进一步规范标准固件，提高产品稳定性与竞争力。

3. 工具

高性能示波器，电流探头

4. 需测量参数与参数说明

必须测试屏的参数部分如下：

1. VDD： LCD 输入电源。
2. IRUSH： LCD 冲击电流。

3.0 ELECTRICAL SPECIFICATIONS

3.1 TFT LCD Open Cell

< Table 3. Open Cell Electrical Specifications >

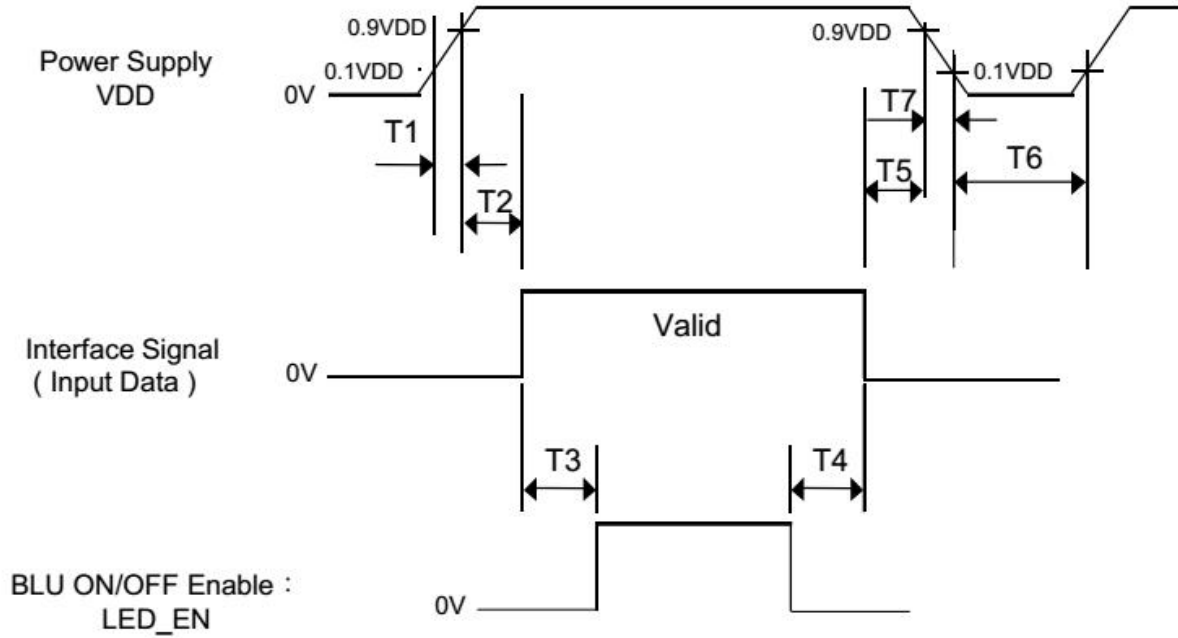
[Ta = 25 ± 2 °C]

Parameter		Symbol	Values			Unit	Remark
			Min	Typ	Max		
Power Supply Input Voltage		VDD	4.5	5	5.5	Vdc	Note 1
Power Supply Current		IDD	-	700	1000	mA	
Power Supply Ripple Voltage		VRP	-	-	300	mV	
Rush current		IRUSH	-	2	3.0	A	Note 2
LVDS Interface	Differential Input High Threshold Voltage	VLVTH	-	-	+100	mV	VLVC=1.2V
	Differential Input Low Threshold Voltage	VLVTL	-100	-	-	mV	
	Common Input Voltage	VLVC	0.7	-	1.6	V	
CMOS Interface	Input High Threshold Voltage	VIH	0.7VDD	-	VDD	V	
	Input Low Threshold Voltage	VIL	0	-	0.3VDD	V	

3. T1: VDD 电源从 0.1VDD 上升到 0.9VDD 的时间。视美泰内部简称为 Tvdd。
4. T2: VDD 到数据输出的时间。视美泰内部简称为 Tdata
5. T3: 数据输出后背光使能的时间。视美泰内部简称为 Tbl
6. T4: 关机时，背光关闭后，数据关闭的时间。视美泰内部简称为 Tbl_off
7. T5: 关机时，数据关闭后，电源 VDD 关闭时间。视美泰内部简称为 Tdata_off
8. T6: 关机时，电源 VDD 关闭后，需延时的时间。视美泰内部简称为 Tvdd_off
9. 其他数据。

5.4 Power Sequence

To prevent a latch-up or DC operation of the LCD module, the power on/off sequence shall be as shown in below



< Table 11. Sequence Table >

Parameter	Values			Units
	Min	Typ	Max	
T1	0.5	-	10	ms
T2	0	-	50	ms
T3	200	-	-	ms
T4	200	-	-	ms
T5	0	-	30	ms
T6	1	-	-	s

5. 样品屏规格书具体说明

1. 电气部分

3.0 ELECTRICAL SPECIFICATIONS

3.1 TFT LCD Open Cell

< Table 3. Open Cell Electrical Specifications >

[Ta = 25 ± 2 °C]

Parameter		Symbol	Values			Unit	Remark
			Min	Typ	Max		
Power Supply Input Voltage		VDD	10.8	12	13.2	Vdc	
Power Supply Ripple Voltage		VRP			300	mV	
Power Supply Current		IDD	-	333	592	mA	Note 1
Power Consumption		PDD		4.0	7.1	Watt	
Rush current		IRUSH	-	-	3.0	A	Note 2
LVDS Interface	Differential Input High Threshold Voltage	VLVTH	+100		+300	mV	
	Differential Input Low Threshold Voltage	VLVTL	-300		-100	mV	
	Common Input Voltage	VLVC	1.0	1.2	1.4	V	
CMOS Interface	Input High Threshold Voltage	VIH	2.7	-	3.3	V	
	Input Low Threshold Voltage	VIL	0	-	0.6	V	

5.0 SIGNAL TIMING SPECIFICATION

5.1 Timing Parameters (DE only mode)

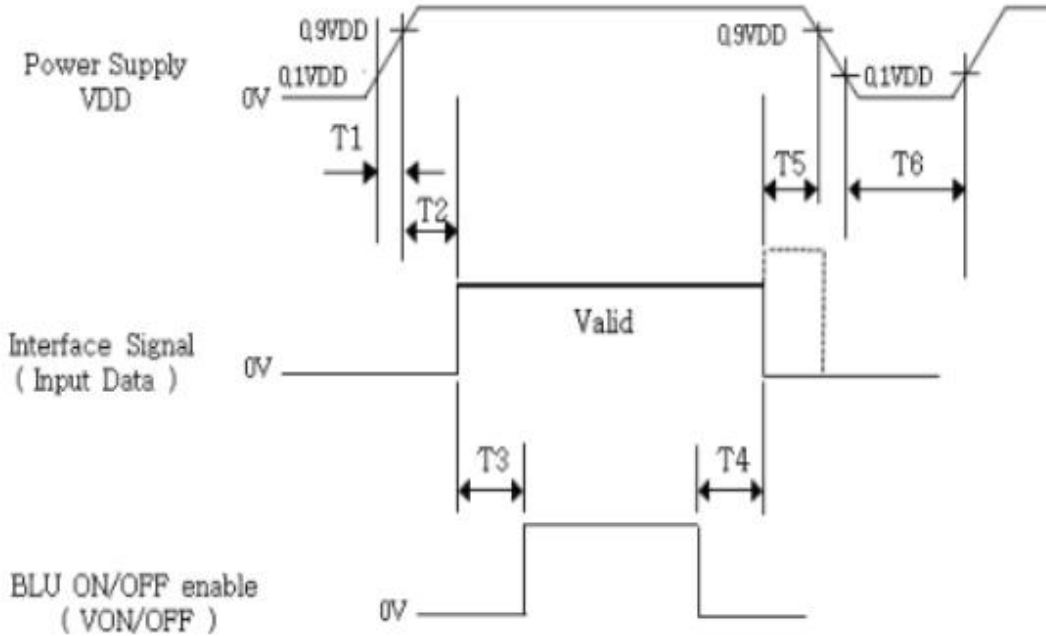
< Table 6. Timing Table >

Item		Symbols	Min	Typ	Max	Unit	
Clock	Frequency	1/Tc	63	74.25	78	MHz	
	High Time	Tch	-	4/7Tc	-		
	Low Time	Tcl	-	4/7Tc	-		
Frame Period		Tv	1100 (1308)	1125 (1350)	1149 (1380)	lines	
			57 (47)	60 (50)	63 (53)	Hz	
Horizontal Active Display Term		Valid	t _{HV}	-	960	-	t _{CLK}
		Total	t _{HP}	1060	1100	1200	t _{CLK}
Vertical Active Display Term		Valid	t _{VV}	-	1080	-	t _{HP}
		Total	t _{VP}	1100	1125	1149	t _{HP}

电源时序部分

5.4 Power Sequence

To prevent a latch-up or DC operation of the Open Cell, the power on/off sequence shall be as shown in below



< Table 8. Sequence Table >

Parameter	Values			Units
	Min	Typ	Max	
T1	0.5	-	20	ms
T2	10	-	100	ms
T3	200	-	-	ms
T4	200	-	-	ms
T5	0	-	-	ms
T6	1	-	-	s

- Notes: 1. Back Light must be turn on after power for logic and interface signal are valid.
 2. Even though T1 is out of SPEC, it is still ok if the inrush current of VDD is below the limit.

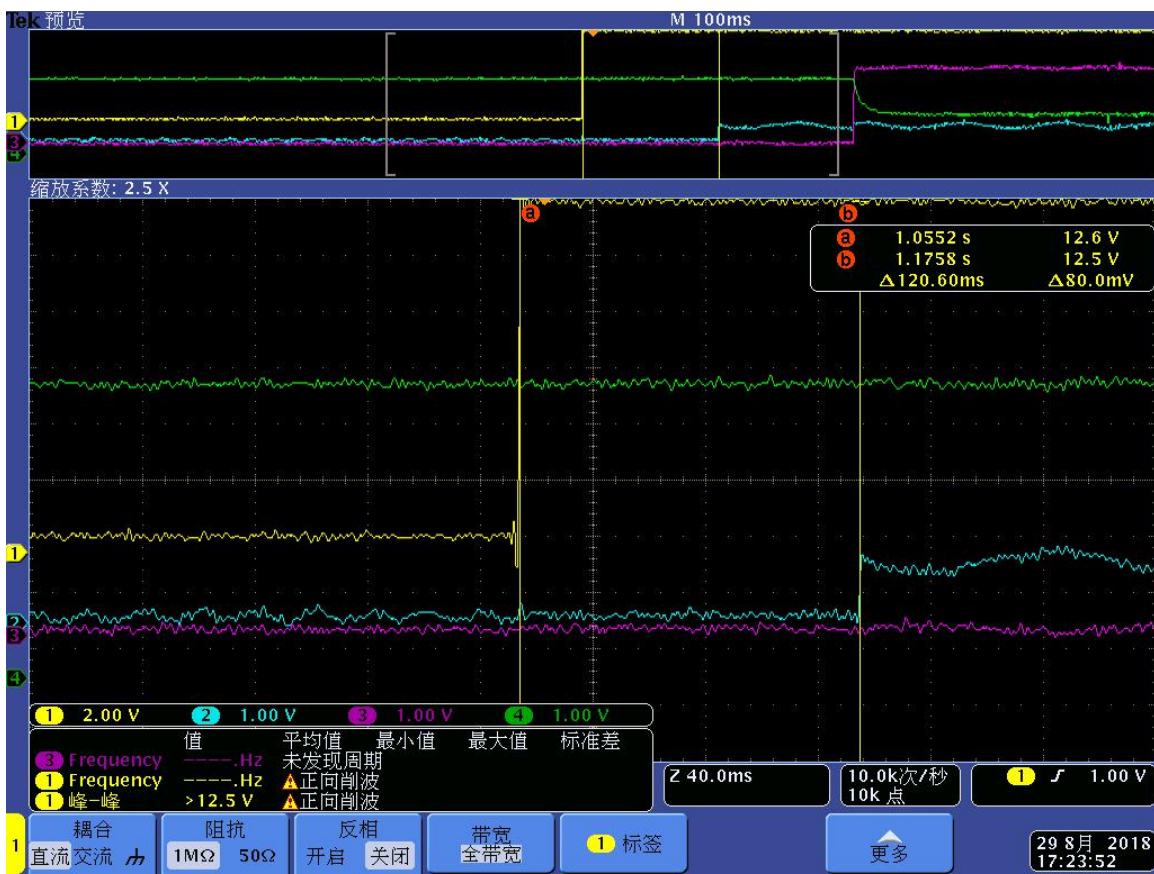
6. 测量数据

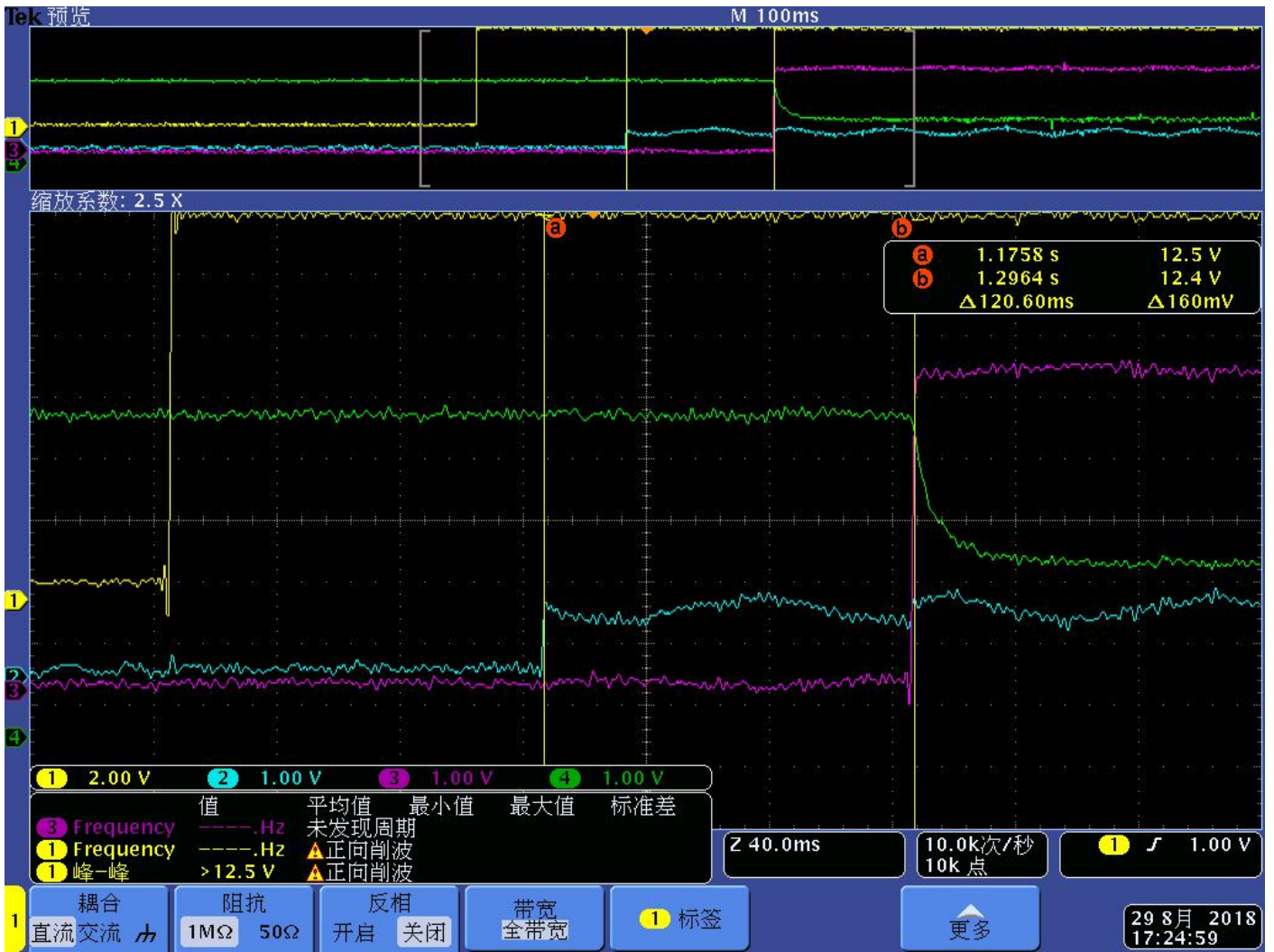
1. 示波器通道说明:

CH1 通道 (黄色) 为 LVDS-VCC, CH2 通道 (蓝色) 为 LVDS-DATA, CH3 通道 (紫色) 为 PWM, CH4 通道 (绿色) 为 BL-EN。

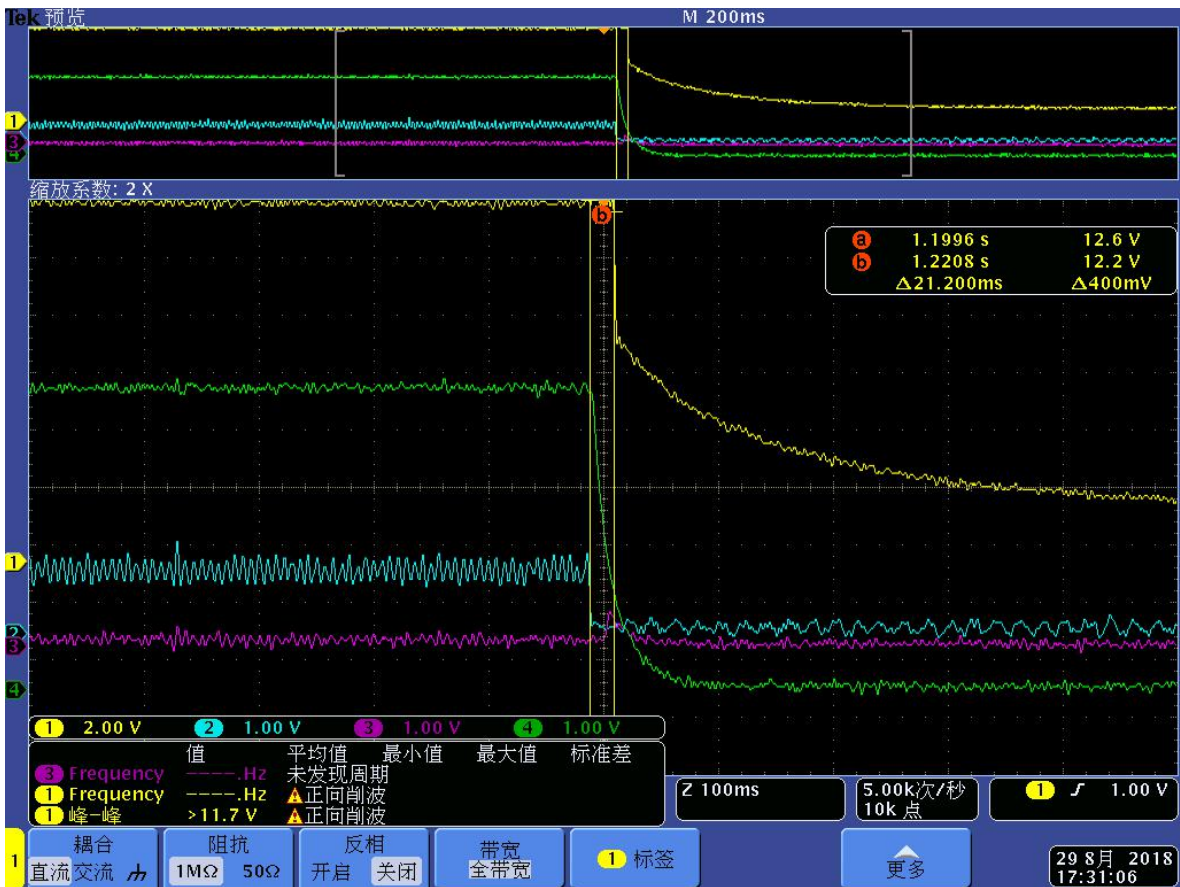
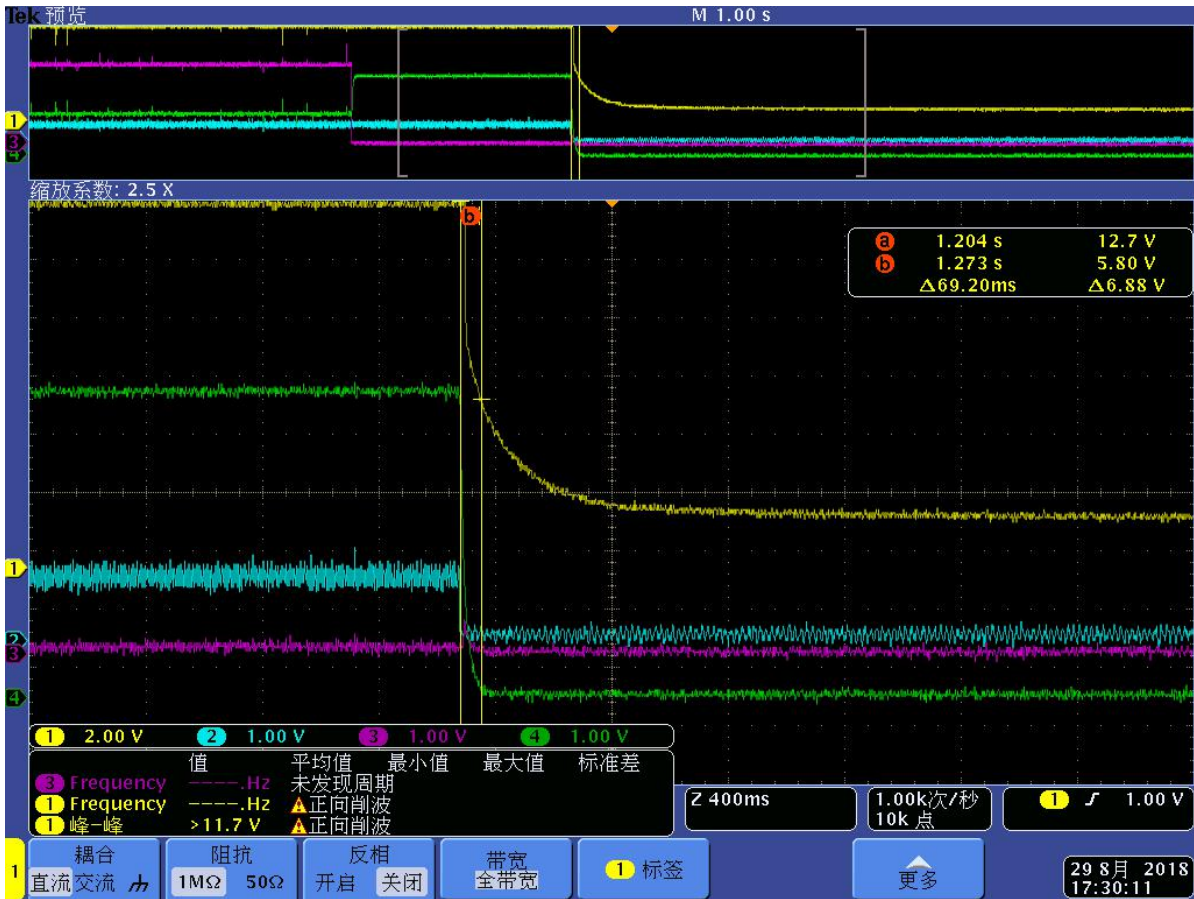
2. 测试具体数据:

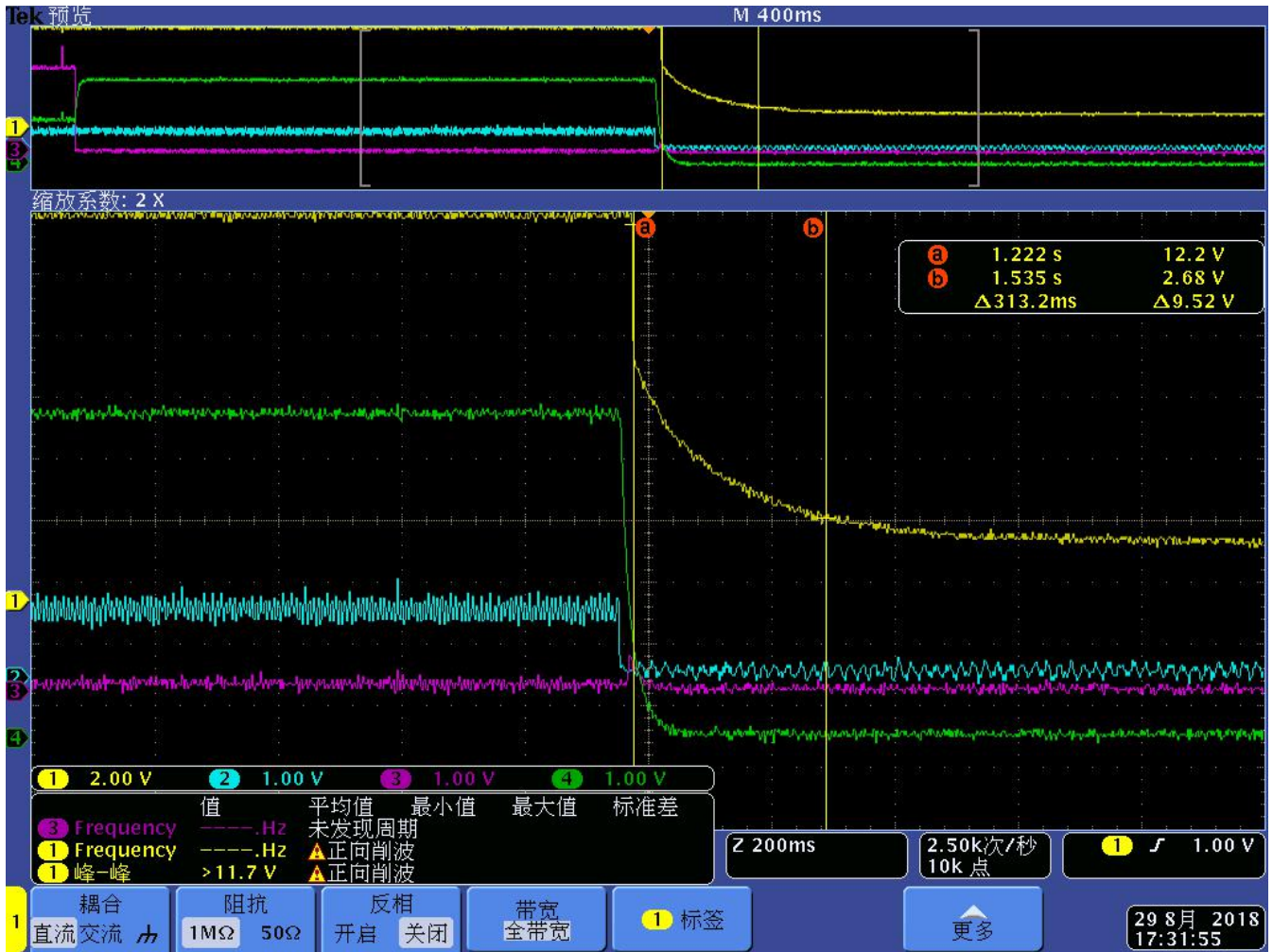
上电部分:





下电部分:





7. 测试报告

硬件型号和版本		3399E V1.1	软件固件版本		20180414
屏具体型号		MV320HEB41-01	屏接口方式		LVDS
序号	测试参数	参考值 (Min-Max)	实测值	结果	备注
1	VDD	(10.8-13.2)V	12V	OK	
2	IRUSH	(0-3)A	/	/	
3	Tvdd	(0.5-10)ms	<10ms	OK	
4	Tdata	(0-100)ms	120.6ms	NG	
5	Tbl	(200-)ms	120.60ms	NG	
6	Tbl_off	(200-)ms	-69.20ms	NG	数据关闭后背光延迟 69.2ms 才关闭
7	Tdata_off	(>0)ms	21.2ms	OK	
8	Tvdd_off	(>1)ms	313.2ms	OK	

建议/注: